

14. LES MESURES SUR LES CIRCUITS DIGITAUX

LE développement des techniques digitales entraîne une forte consommation de circuits logiques que la micro-électronique a permis d'intégrer dans des modules de très faibles dimensions. La grande diffusion de ces circuits a permis de baisser considérablement leur prix, au point que l'on peut souvent les considérer comme des composants banals.

Cependant la pratique des circuits digitaux n'est pas évidente pour qui ne s'y est pas familiarisé : la mise en œuvre de montages faisant appel à cette technique est particulière et diffère quelque peu de celle des habituels montages à transistors. Nous avons, d'ailleurs, eu l'occasion, dans les chapitres précédents, d'utiliser quelques circuits intégrés logiques dans certaines applications simples.

Le présent chapitre poursuit un double objectif :

— rappeler de façon très rudimentaire au lecteur quelques aspects de ces techniques particulières pour lui donner le goût d'en savoir plus dans ce domaine, et,

ainsi, de le préparer à la réalisation d'un fréquencemètre digital que nous décrirons ensuite,

— offrir à l'amateur l'occasion de construire un générateur de signaux digitaux qui lui permette de faire l'essai de circuits intégrés logiques dans des conditions réalistes : ce type d'appareil ne court pas les rues.

Comme de coutume, mais il apparaît que l'on ne saurait trop insister dans ce domaine, nous déconseillons la réalisation de montages digitaux aux lecteurs très profanes ou qui n'ont pas la patience et le goût de se lancer dans cette technologie qui diffère sensiblement de la « grosse électronique » : ils le regretteraient et cela, bien sûr, nous ne le souhaitons pas.

Cela dit, la mise en œuvre de ces circuits, pour peu qu'elle soit réalisée avec soin et suivant les directives générales que nous indiquons, n'est pas insurmontable pour un amateur moyen.

Il est important, dans ce domaine plus que dans tout autre, de bien comprendre ce que l'on fait afin d'éviter les

erreurs d'interprétation ou de manipulation qui risqueraient de lasser l'expérimentateur et de lui faire consommer du composant. C'est pourquoi nous avons jugé utile d'apporter quelques éclaircissements élémentaires à l'usage de ceux qui seraient insuffisamment informés et que les amateurs éclairés pourront sauter s'ils le désirent.

Bien entendu, les notions de base que nous rappelons sur les circuits logiques sont très largement insuffisantes et nous ne saurions trop conseiller à nos lecteurs de les approfondir en consultant les ouvrages et articles qui foisonnent sur ce sujet.

LE MONDE DE LA LOGIQUE NE COMPREND QUE DEUX ETATS

C'est bien là la notion essentielle qu'il faut retenir.

En électronique classique, la pratique des amplificateurs linéaires a habitué l'esprit du technicien amateur à raisonner en termes de proportionnalité. C'est ainsi que l'on

peut parler de gain et de fidélité de reproduction du signal. Ces notions n'ont aucun sens en logique car l'on ne peut envisager que deux cas :

- il y a présence de signal (état ou niveau 1),
- il y a absence de signal (état ou niveau 0).

C'est un système binaire.

On conçoit alors facilement que la valeur du seuil de tension où l'on définit le passage du niveau 0 au niveau 1 puisse être imposée à un système logique. En fait, pour éviter une indétermination le seuil se partage en deux valeurs que l'on a l'habitude d'appeler seuil bas (en dessous duquel le niveau est 0) et seuil haut (au-dessus duquel le niveau est 1). Ces deux seuils sont séparés d'une courte zone de transition correspondant à une indétermination.

On a représenté sur la figure 1 la valeur pratique des différents niveaux pour une « logique » de +5 V (valeur normalisée de la tension d'alimentation des circuits).

La transmission d'une unité d'information binaire (ou bit) nécessite donc le passage brusque du niveau 0 au

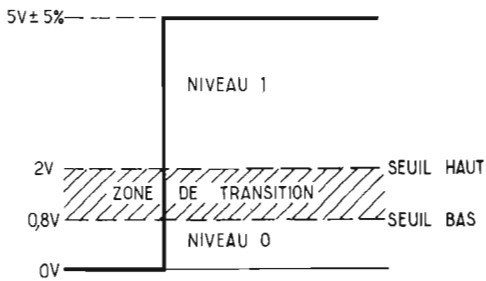


Fig. 1. - Les niveaux logiques.

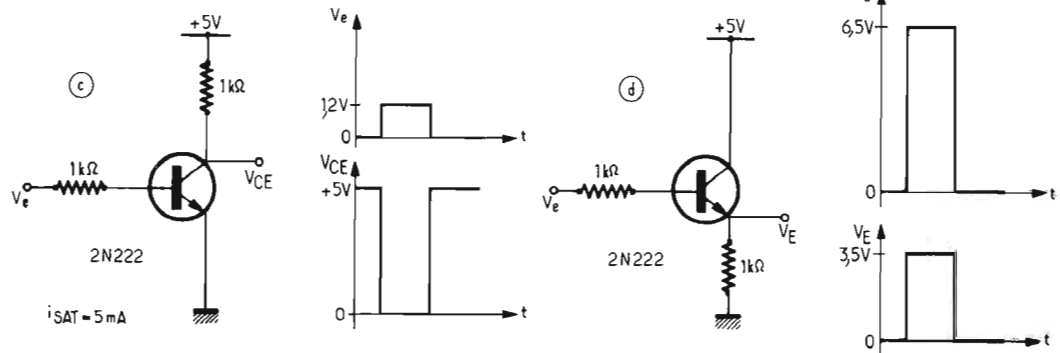
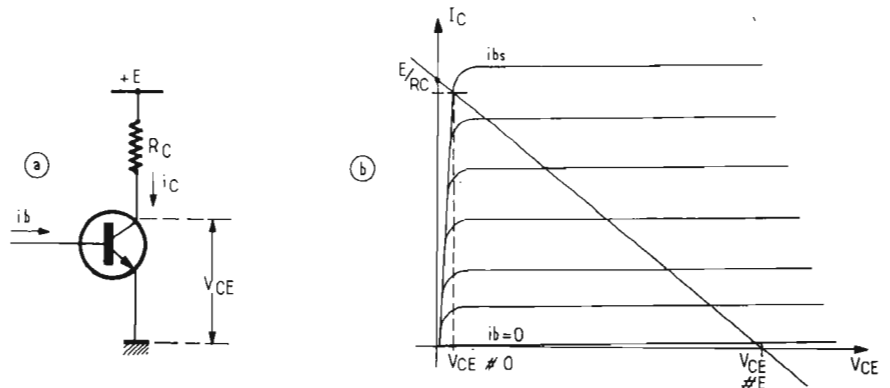


Fig. 2. - Le transistor en « tout ou rien ».

niveau 1 puis le retour à 0, ce qui correspond à la formation d'une impulsion.

On pourrait s'étonner de la grande simplicité de principe d'un système logique si on le compare à un système proportionnel ou **analogique** qui comporte une infinité d'états. Il faut retenir, comme on le verra, que c'est la succession ou la combinaison de plusieurs états logiques ou de plusieurs bits qui permettra de former une information quantifiée sur une échelle plus grande que zéro ou un...

LE TRANSISTOR EN LOGIQUE

Par ses propriétés de saturation franche, un transistor se prête assez facilement à ces manipulations par tout ou rien.

Dans un montage amplificateur classique à émetteur commun, avec une résistance R_c dans le collecteur, le courant collecteur est égal à β fois le courant de base (β = gain statique en courant). Voir la figure 2a.

Le courant collecteur créé dans la résistance de charge une chute de tension égale à $R_c \cdot I_c$, lorsque le courant de base est égal à i_b et la tension d'alimentation égale à E .

Considérons le diagramme bien connu I_c/V_{ce} d'un transistor NPN (voir fig. 1b). La droite de charge de pente $1/R_c$ coupe l'axe V_{ce} en E et l'axe I_c en E/R_c .

Lorsque $i_b = 0$, il n'existe pas d'autre courant collecteur qu'un éventuel courant de fuite I_{ce0} , insignifiant dans le cas d'un transistor silicium. La chute de tension dans R_c est quasi nulle et $V_{ce} = E$.

Si, au contraire, un courant important dit de saturation i_{bs} est envoyé sur la base, il déterminera un courant collecteur tel que $I_{cs} = \beta i_{bs}$. En consultant le diagramme, on voit que ce courant est voisin de E/R_c .

Si on augmentait encore i_b au-delà de i_{bs} , I_{cs} resterait sensiblement constant et V_{ce} serait très proche de zéro.

Avec une tension de 5 V d'alimentation, on peut donc

utiliser un transistor en logique : entre le cut-off ($i_b = 0$, $V_{ce} = 1$ logique) et la saturation ($i_b = i_{bs}$ et $V_{ce} = 0$ logique). On se sert, d'ailleurs de cette propriété pour réaliser des écrêteurs.

Le schéma de la figure 1a est théorique. En effet, si l'on augmentait par trop la tension d'entrée, on risquerait de détruire la jonction base-émetteur par excès de courant. En pratique on utilisera le montage de la figure 1c qui limite i_b à la valeur $V_e/1000$.

Ce dernier montage permet de réaliser un amplificateur d'impulsions très simple mais avec **inversion de polarité**. Si l'on veut obtenir une même polarité, il convient d'utiliser un deuxième étage en cascade ou un montage à émetteur follower tel que celui de la figure 1d, mais dans ce dernier cas, on demande une tension d'entrée plus élevée que la tension de sortie.

Bien entendu, une quantité d'autres montages plus élaborés sont possibles que nous n'avons pas représentés par souci de simplicité.

L'APPAREIL DE MESURE ELEMENTAIRE : LE TEMOIN LOGIQUE

Lorsque l'on dispose d'un oscilloscope, voire d'un multimètre, il est très facile de repérer l'état logique d'un point de test sur un circuit (1 logique si $V \geq 2$ V et 0 logique si $V \leq 0,8$ V). C'est évidemment faire un maigre cas des possibilités étendues de ces nobles appareils que l'on préférera utiliser à d'autres mesures.

En fait, puisqu'il s'agit de vérifier, en gros, la présence ou l'absence de tension en un point, rien ne remplace une bonne vieille ampoule 6 V 0,05 A pour sa simplicité : elle s'allumera pour 1 et restera éteinte pour 0, constituant ainsi un témoin logique.

Mais on connaît la fragilité de ces ampoules et leur consommation relativement élevée qui risque d'être incompatible avec l'aptitude qu'auraient certains montages à fournir du courant...

C'est pourquoi il est pré-

conisé de réaliser un témoin logique en utilisant une diode électro-luminescente (ou LED) qui éclaire parfaitement à partir d'un courant de 10 mA. La figure 3 présente un dispositif de ce type constitué d'un tube laiton de 10 à 15 cm de longueur et de 8 à 10 mm de diamètre. Le dessin de la figure 3 est très explicite. On utilisera une diode à lumière rouge de 5 mm.

La connexion souple de masse, terminée par une pince crocodile sera assez longue pour permettre un déplacement suffisant de la pointe de touche (20 à 30 cm).

D'autres montages peuvent être réalisés qui, par leur très faible consommation de courant de test, ne risqueront pas de perturber le fonctionnement d'un circuit logique à impédance élevée. Ces mon-

tages, décrits sur les figures 4a et 4b utilisent des transistors amplificateurs alimentés à partir du +5 V de l'unité à tester. Ils sont protégés contre un excès de tension à l'entrée.

Le circuit de la figure 4a est le plus simple. Il comporte un seul transistor NPN monté en amplificateur de courant. L'impédance d'entrée peut aller de 50 kΩ à 100 kΩ sui-

vant le type de transistor et la consommation de courant de test varie entre 25 et 50 μA pour 4 V à l'entrée.

Sur la figure 4b on a représenté un montage plus élaboré de 1,5 MΩ d'impédance, ne consommant que 3 μA sur la prise test. Il comporte 2 transistors montés en cascade, le premier attaquant le second par un montage Darlington. La résistance de

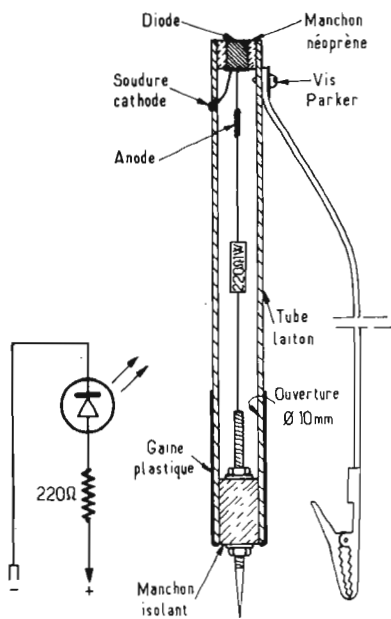


Fig. 3. - Témoignage logique simplifié.

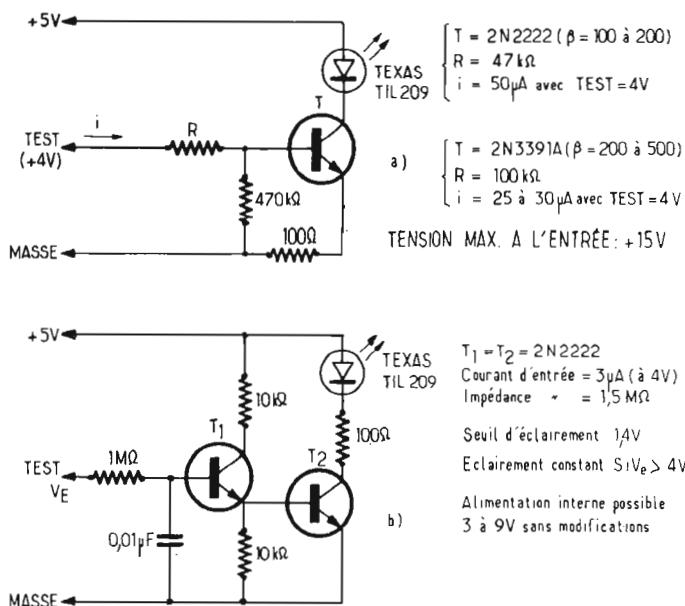


Fig. 4. - Témoins logiques à faible courant de test.

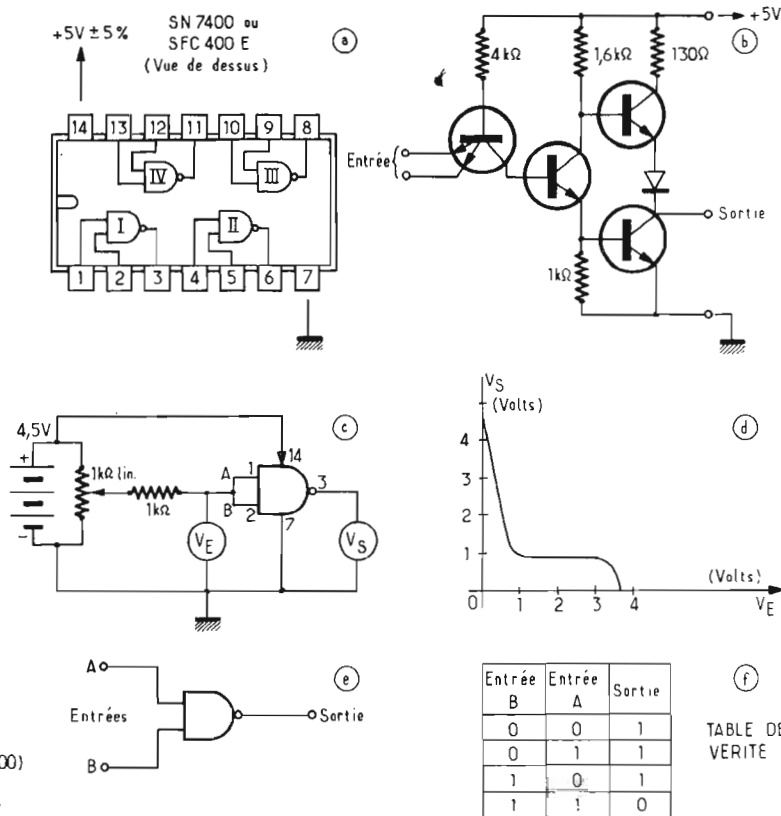


Fig. 6. - Quadruple porte NAND.

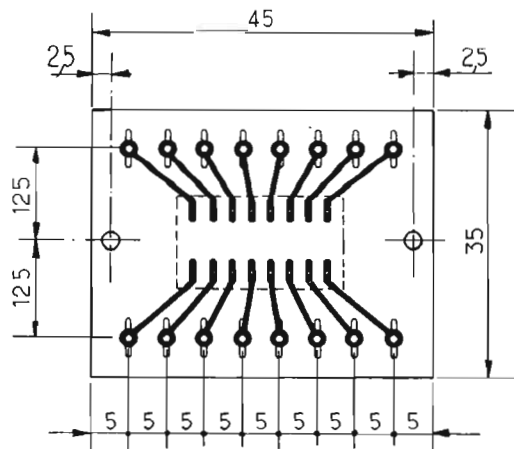


Fig. 5. - Support de circuit 2 x 7 broches monté sur plaquette imprimée.

10 kΩ dans l'émetteur de T1 n'est pas indispensable : elle fixe mieux le potentiel de liaison. On protège la diode par une résistance série de 100 Ω dans le collecteur de T2. Enfin, on filtre à l'entrée les tensions alternatives parasites au moyen d'un condensateur de 10 nF.

On notera que ce dernier montage peut être rendu entièrement autonome par une alimentation interne de 3 à 9 V.

L'un ou l'autre de ces montages peut être contenu dans un coffret de très petites dimensions, voire dans une sonde.

LES CIRCUITS INTEGRES LOGIQUES : COMMENT LES UTILISER

Le fait de ne disposer que de 2 états impose la mise en œuvre d'un grand nombre de circuits pour exprimer ou véhiculer une information complexe : d'où l'intégration des circuits. Cette opération s'est déroulée, fort heureusement suivant une normalisation à peu près universelle adoptée qui permet, tant du point de vue de l'alimentation que du brochage et des performances, de définir les règles d'utilisation simples.

— L'alimentation devra être limitée à 5 V ± 10 %, soit de 4,5 à 5,5 V. Elle sera, de préférence stabilisée ce qui n'est pas un problème puisqu'il existe des circuits spéciaux comme le SFC2309R de Sescosem qui ont été conçus pour cet usage (voir le chapitre consacré aux alimentations stabilisées).

— Des découplages HF de 20 à 100 nF seront disposés au pied de chaque circuit ou groupe de circuits entre + 5 V et masse ou commun. Pour tout montage on fera soigneusement le bilan de consommation pour être sûr que dans les pires conditions, le débit n'excède pas les possibilités de l'alimentation.

— On n'utilisera jamais de tensions négatives ou supé-

rieures à + 5 V à l'entrée d'un circuit. Il est nécessaire de n'utiliser que des signaux compatibles TTL pour ne pas courir le risque de destruction des circuits. Dans le cas d'une tension d'entrée quelconque, il est préférable d'employer un transistor tampon alimenté en + 5 V.

— Dans le cas où une entrée doit être portée au niveau logique 1, on pourra réunir cette entrée au + 5 V à travers une résistance de 4,7 kΩ. Dans de nombreux cas, le fait de laisser l'entrée en l'air aboutit au même résultat.

— Pour les montages d'essai, on utilisera des supports spéciaux. Pour faciliter les travaux sur maquette ou réaliser des tests de circuits intégrés, on aura intérêt à disposer d'un certain nombre de plaquettes support comme celle de la figure 5 (prévue pour 14 broches, mais on peut en réaliser pour 16 broches ou plus). Les bornes de sortie, réalisées au moyen de cosses spéciales pour circuit imprimé sont situées côté opposé au cuivre

de sorte que l'on aura une même présentation des sorties du circuit intégré que sur la documentation normalisée (vue de dessus).

Ce n'est qu'à l'occasion de la réalisation de cartes imprimées définitives que l'on pourra souder directement les électrodes du circuit sur la carte correspondante en utilisant un fer de faible puissance avec une panne très fine. Les court-circuits entre broches sont fréquents : on vérifiera donc avec soin les soudures d'un circuit sur un câblage imprimé.

OÙ IL FAUT QU'UNE PORTE SOIT OUVERTE OU FERMÉE

Le circuit de logique élémentaire le plus répandu est la porte NAND à 2 entrées ou plutôt la quadruple porte puisqu'il est possible d'en loger 4 identiques dans un boîtier DIL 14 broches.

La figure 6a représente un circuit de ce genre : le SN7400

(ou SFC 400E), sans doute le plus commun, avec lequel on peut faire, pour quelques francs, de nombreuses manipulations.

On trouvera en 6b, le schéma correspondant à une porte : il s'agit d'un amplificateur très facilement saturable, dont les deux entrées sont formées par deux émetteurs distincts sur le même transistor.

Si on relève la caractéristique $V_s = f(V_e)$ avec le montage de la figure 6c, on obtiendra la courbe 6d qui montre bien la forme particulière de cette caractéristique : l'ampli est normalement coupé si l'on réunit les entrées à la masse et la tension de sortie est donc élevée. Dès que l'on augmente cette tension d'entrée, la tension de sortie diminue très rapidement pour rester un peu inférieure au volt, puis s'écroule à 0 pour une entrée de l'ordre de 3,5 V. On aura donc une sortie 1 logique pour des entrées à la masse et une sortie 0 logique pour des entrées au 1 logique.

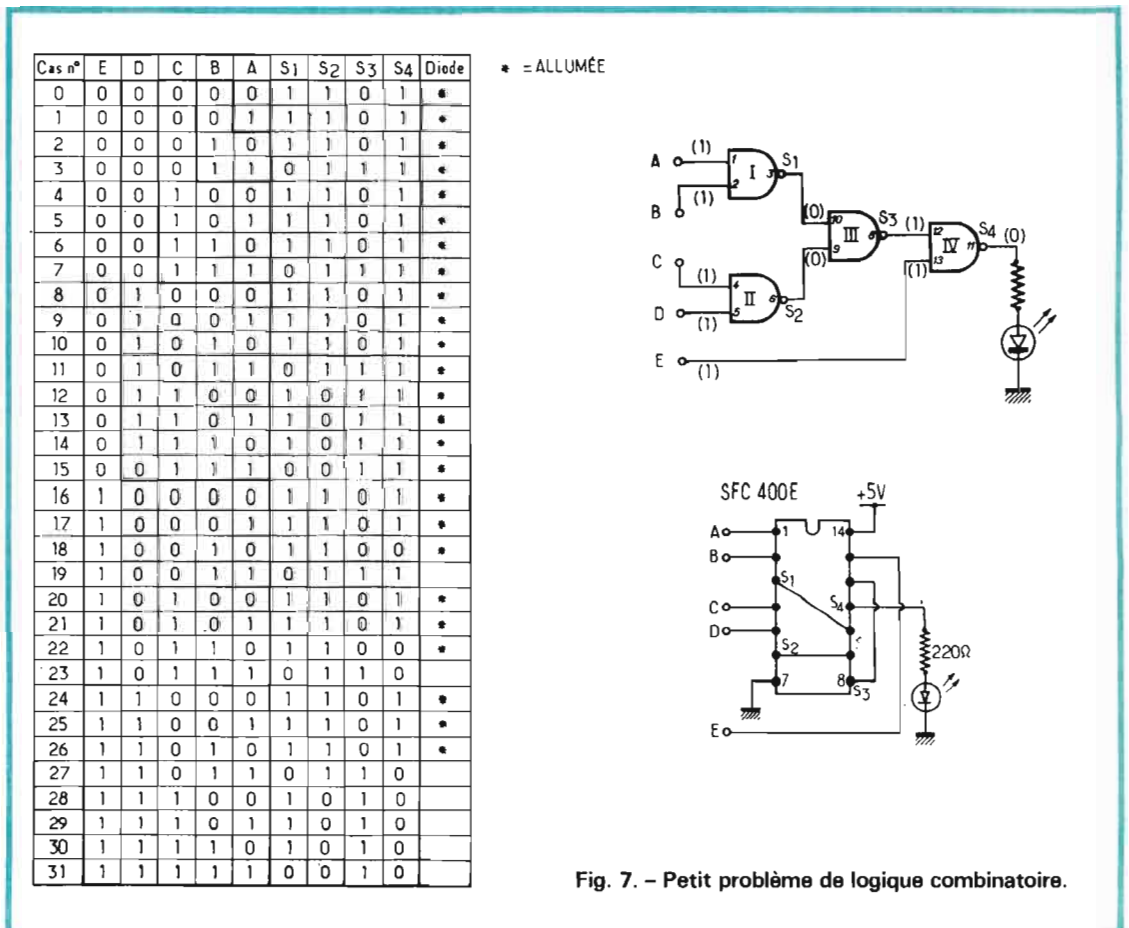


Fig. 7. - Petit problème de logique combinatoire.

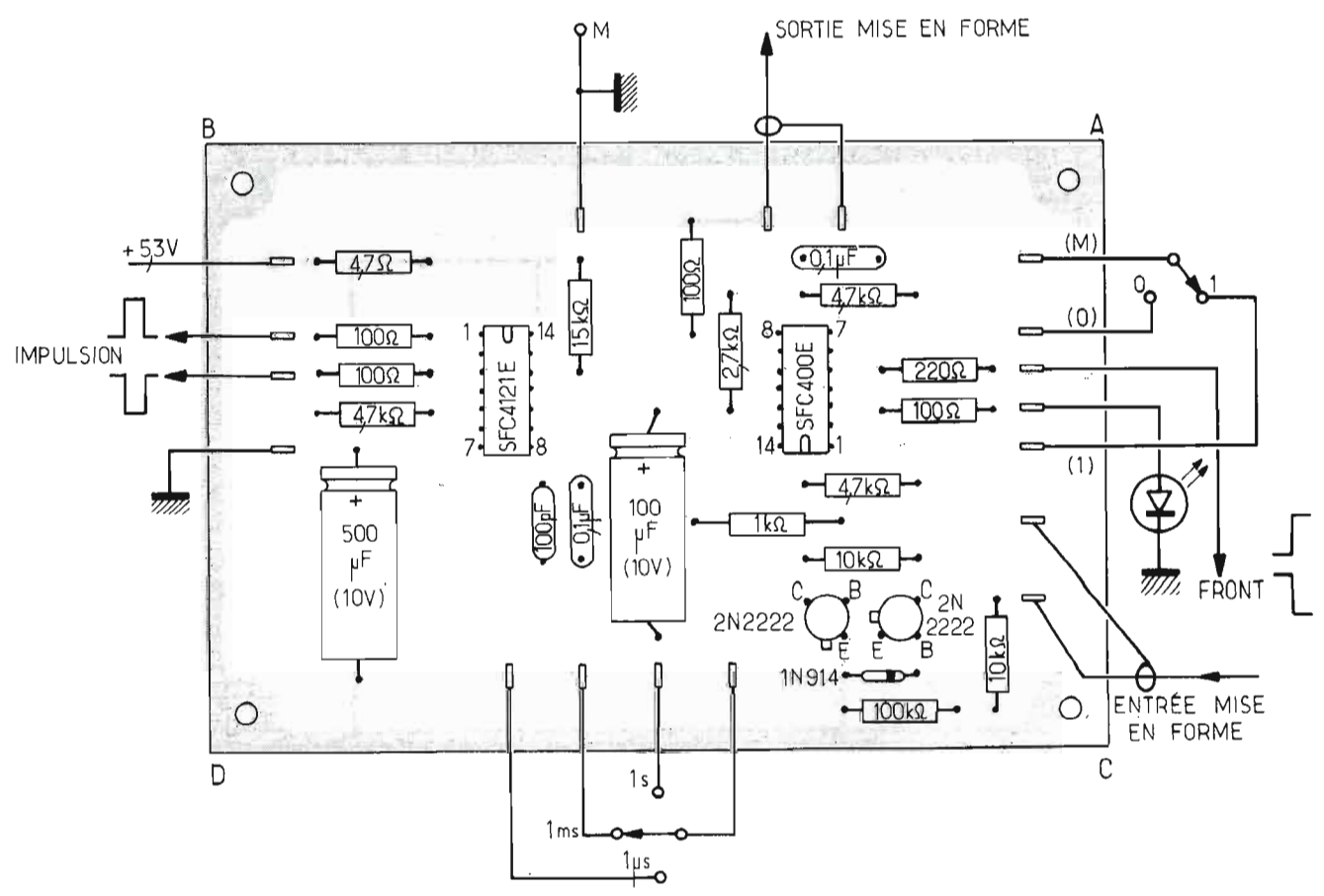
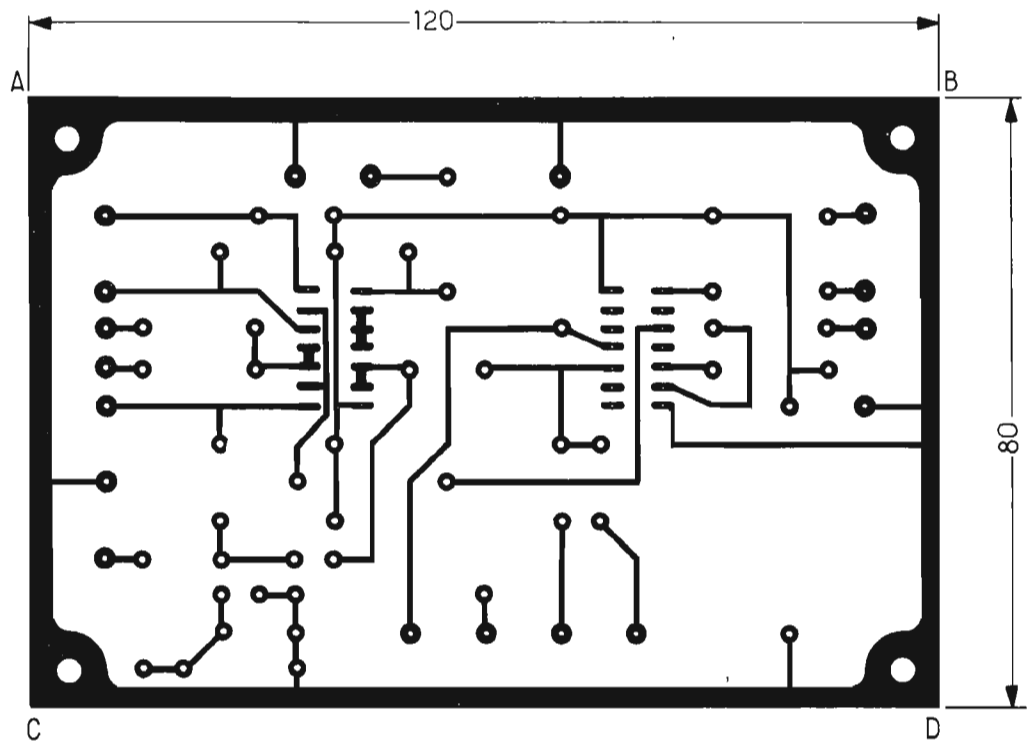


Fig. 9. - Carte imprimée du générateur.

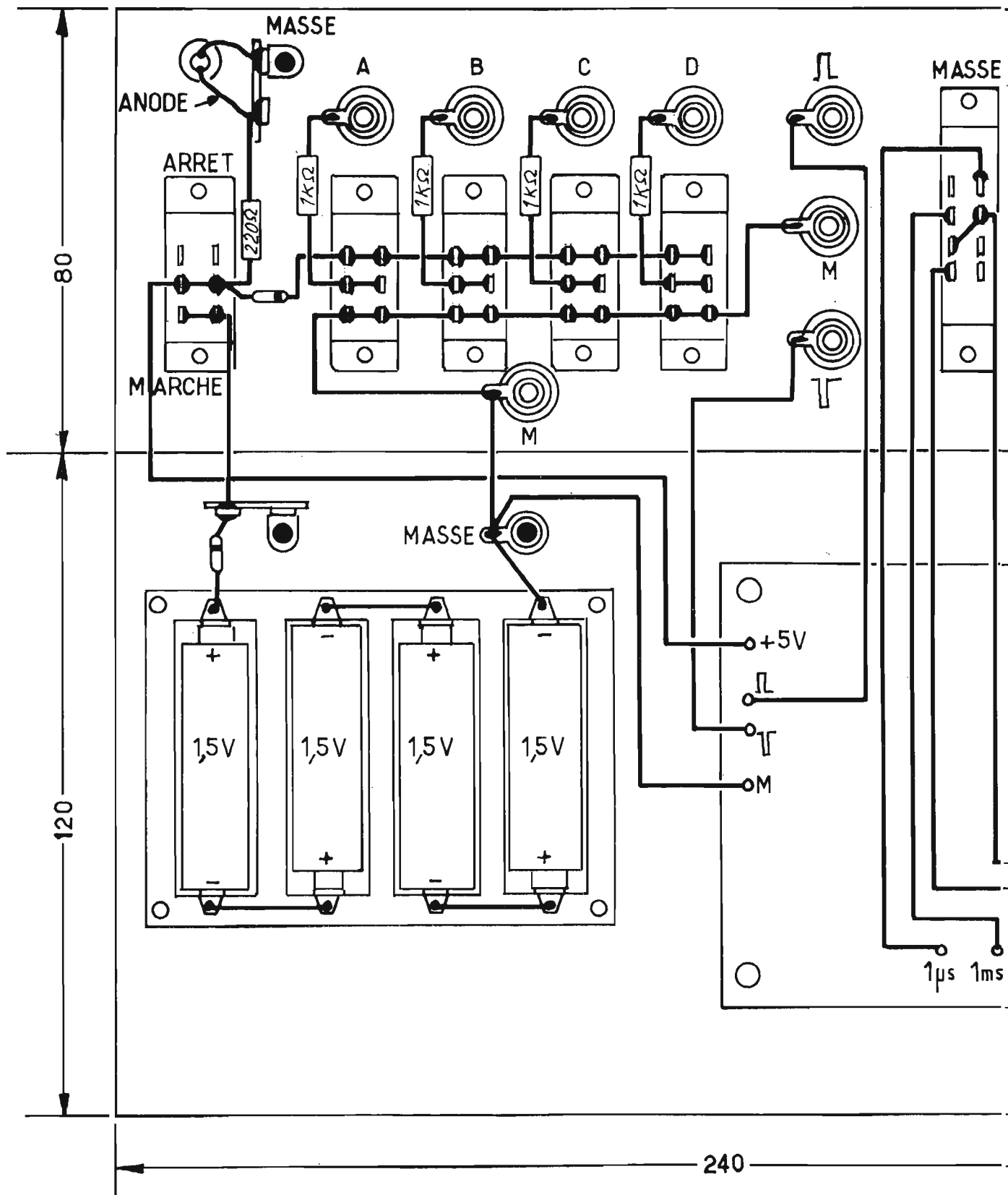


Fig. 10. - Plan de câblage.

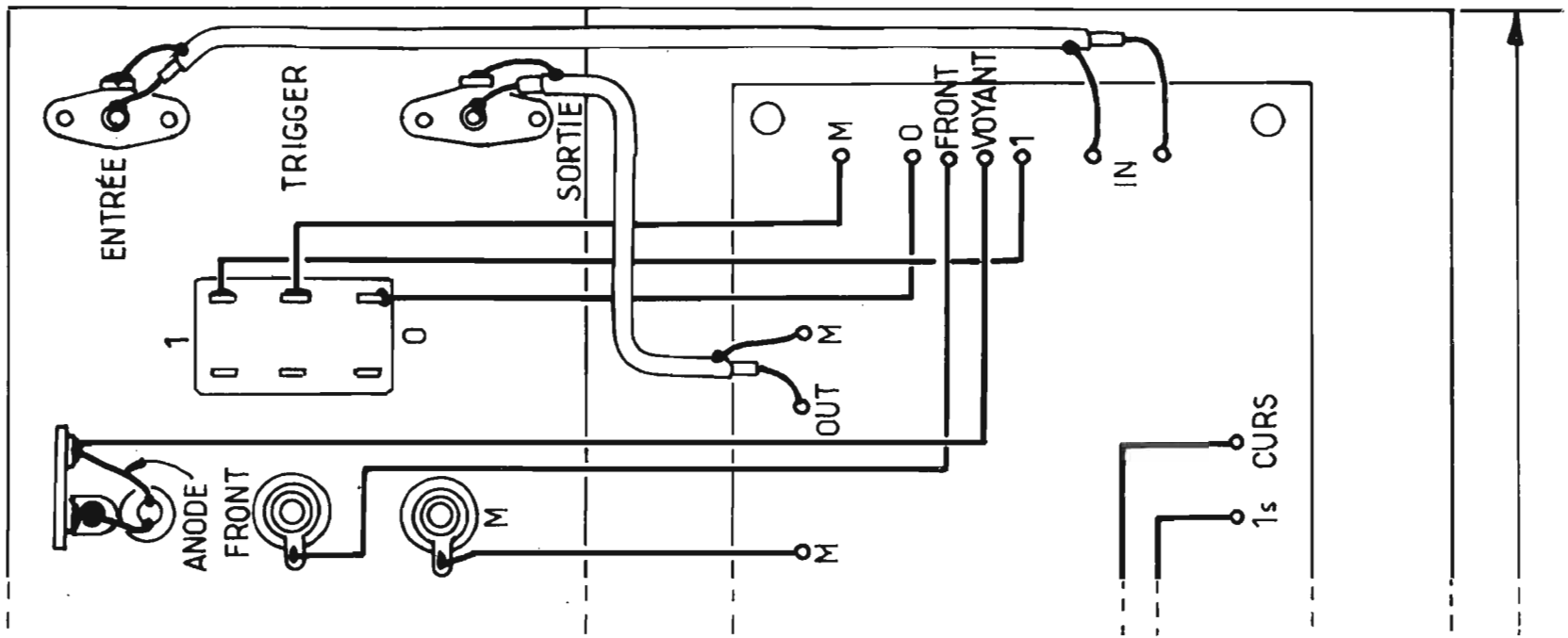
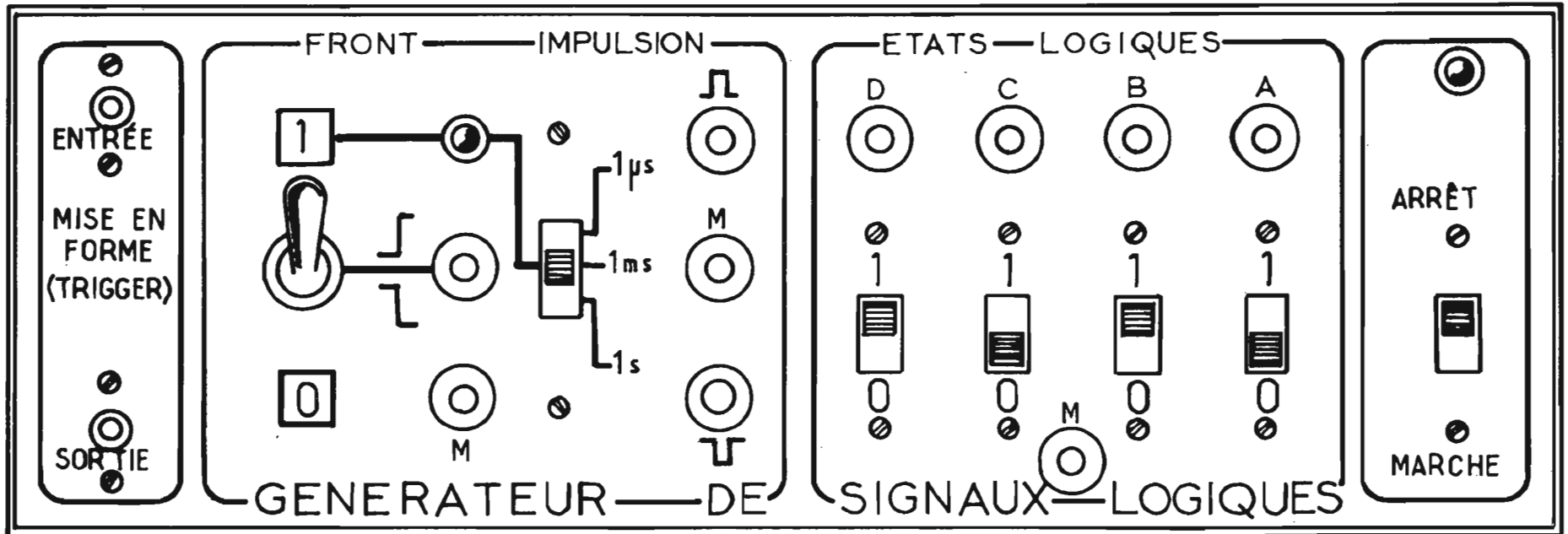


Fig. 11. - Face avant du générateur.

colonnes S1, S2, S3 et S4, sachant que :

- à S1 correspondent les entrées A et B,
- à S2 correspondent les entrées C et D,
- à S3 correspondent les entrées S1 et S2,
- à S4 correspondent les entrées S3 et E.

On appliquera la logique de la table de vérité de la figure 6 à chacun des cas élémentaires pour S1, S2, S3 et S4. On obtiendra enfin une extinction de la diode (S4 = 0) pour les 7 cas suivants : 19 - 23 - 27 - 28 - 29 - 30 - 31 du tableau, ce qui n'était pas intuitif.

Les chiffres en parenthèses indiqués sur le schéma correspondent aux 5 entrées en l'air (A = B = C = D = E = 1) ce qui représente le cas n° 31.

Partant de cet exemple, on pourrait en bâtir d'autres auxquels correspondraient des cas d'extinction ou d'allumage différents, ce qui montre l'intérêt des circuits combinatoires pour trier une information parmi plusieurs.

Nous invitons les lecteurs intéressés à construire d'autres exemples ce qui constitue un excellent entraînement à l'étude des circuits digitaux.

Comme nous l'avons indiqué, nous ne développerons pas d'autres aspects de la logique sous peine de nous égarer dans un véritable maquis de circuits. Nous renvoyons le lecteur à la documentation technique spécialisée.

UN GENERATEUR DE SIGNAUX LOGIQUES

L'expérimentation sur les circuits logiques, notamment sur les circuits séquentiels nécessite une mise en forme pour que les signaux d'entrée soient compatibles. Dans le cas contraire le fonctionnement des bascules, décades et autres « triggers » n'est pas assuré.

Il est d'autre part nécessaire de disposer d'une source

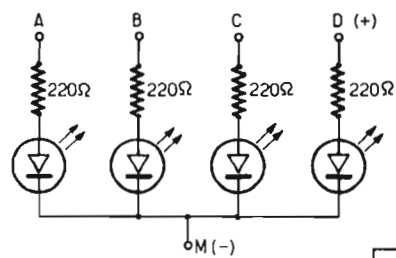
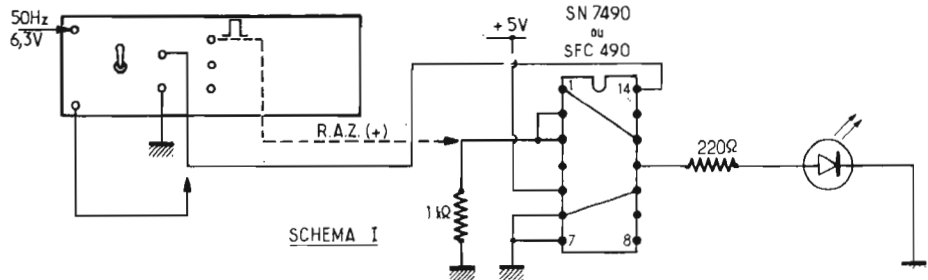
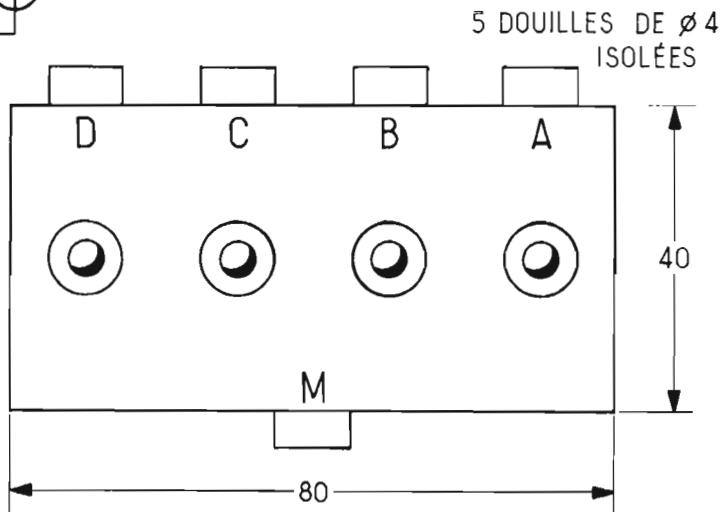
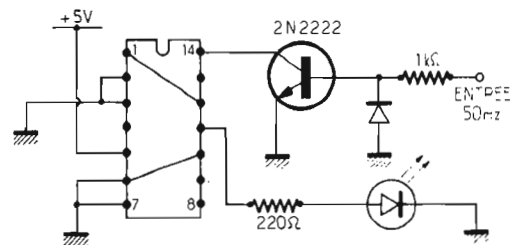


Fig. 12. - Batterie de 4 témoins logiques.



SCHEMA I



SCHEMA II

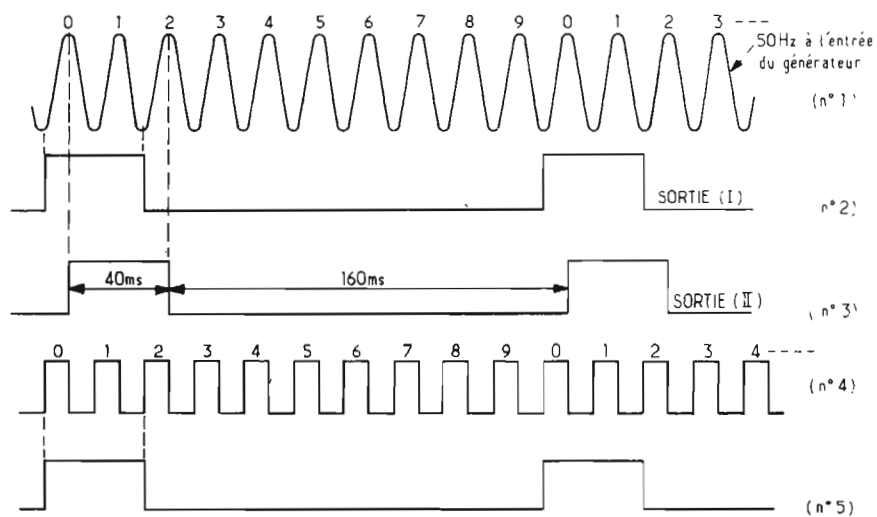


Fig. 14. - Essai d'une décade.

de variation 0-1 très brutale de tension et de générer une impulsion unique pour étudier la réponse de certains circuits à ce genre de sollicitation.

L'appareil que nous présentons est capable de fournir tous ces signaux. Il ne comprend, au total, que 2 circuits intégrés et 2 transistors.

Le schéma est donné sur la figure 8.

Les portes NAND I et II d'un demi-SFC 400E sont montés en bascule RS. L'état des sorties est défini par celui des entrées. On peut changer cet état par la manœuvre d'un simple inverseur. Le basculement est alors unique, même si l'inverseur rebondit sur son contact ce qui est assez fréquent. La transition est extrêmement rapide.

On obtient ainsi un « front » montant (0 à 1) ou descendant (1 à 0) suivant le mouvement de l'inverseur dont le curseur est réuni à la masse.

L'état de la sortie FRONT est signalé par un témoin logique branché en permanence. Si, par exemple, ce témoin est éteint, lorsque l'inverseur est sur 0, on saura que la manœuvre de l'inverseur de 0 vers 1 créera un front montant.

L'autre sortie du basculeur RS est envoyé sur un circuit monostable de précision SFC412E. Le front descendant (généralisé en même temps que le front montant disponible en sortie) entraîne la formation d'une impulsion unique dont la largeur est définie par le choix d'un condensateur en relation avec une résistance fixe (15 k Ω). Un tel

circuit avait déjà été employé dans le générateur d'impulsions du chapitre précédent.

Les largeurs disponibles sont 1 μ s, 1 ms ou 1 s. Les sorties sont en impulsion 0-1 ou 1-0.

Une autre fonction de l'appareil est la mise en forme rectangulaire compatible TTL d'une tension d'amplitude et d'allure quelconque (notamment sinusoïdale). Pour cela, la tension est envoyée sur un amplificateur à entrée protégée à 2 étages en cascade. Cet amplificateur est suivi d'un trigger de Schmitt qui utilise les deux autres portes NAND III et IV du SFC 400E. Il faut au moins 1 V efficace ou 2 V crête à l'entrée pour entraîner le fonctionnement du trigger.

Comme il faut craindre que des court-circuits puissent se produire à l'occasion de l'utilisation de l'appareil, toutes les sorties sont protégées par des résistances de 100 Ω en série pour prévenir toute destruction de circuit.

Un complément a été prévu en disposant un générateur d'états logiques 0 ou 1 à 4 bits. Les sorties sont commandées par de simples inverseurs (0-1). La protection est dans ce cas de 1 000 Ω pour une tension de 4,8 V.

L'alimentation de l'appareil se fait par piles (alcalines si possible). Quatre éléments en série donnent 6 V amenés à 5 V au moyen d'une diode et d'une résistance en série avec les circuits générateurs de tension brusque. Le circuit « états logiques » est isolé par diode des autres utilisations.

La figure 9 indique les caractéristiques de la carte

imprimée qui supporte tous les circuits (sauf le générateur d'états).

On trouvera sur la figure 10 le plan de câblage de l'ensemble et sur la figure 11 la présentation de la face avant du générateur (dimensions du coffret 120 x 240 x 80 mm).

En complément du générateur, il est préconisé de réaliser une batterie de 4 témoins logiques comme indiqué sur la figure 12. On notera la disposition DCBA de la gauche vers la droite ce qui, comme sur le générateur d'états, permet de lire directement la valeur du paramètre en binaire.

LES APPLICATIONS DU GENERATEUR

Il ne saurait être question de citer toutes les applications du générateur de signaux logiques. Pour bien montrer l'intérêt de cet appareil, nous avons choisi 4 exemples rela-

tifs aux essais de circuits intégrés logiques usuels. On utilisera, pour cela, des supports montés sur plaquettes (voir plus haut).

ESSAI D'UNE DOUBLE BASCULE JK MAITRE-ESCLAVE (FIGURE 13)

L'intégration de deux bascules dans un boîtier 14 broches est réalisée avec le circuit SFC 473E. Le contrôle du bon fonctionnement se fera successivement sur chacune des bascules de la façon suivante :

- on relie la broche d'entrée (CLOCK) à la sortie FRONT de l'appareil et la remise à zéro (CLEAR) correspondante à la sortie d'impulsion (1-0),
 - le témoin logique est branché sur la sortie Q de la bascule en essai.
- Au repos, la bascule est dans un état tel que Q = 0, après remise à zéro entraînée

RESUME DES CARACTERISTIQUES DU GENERATEUR

Fonction :

Mise en formes	sortie d'un créneau rectangulaire compatible TTL (environ 3,5 V crête à la fréquence du signal d'entrée, ou basculement pour un niveau d'entrée croissant lentement de 0 à + 2 V ; protection contre les signaux négatifs ou trop positifs jusqu'à plusieurs dizaines de volts.
Front	génération d'un front montant de 0 à 3,5 V ou descendant de 3,5 V à 0 lorsque le commutateur passe respectivement de 0 à 1 ou de 1 à 0 (temps de montée 10 à 20 ns) ; un témoin logique indique l'état permanent de la sortie.
Impulsion	génération d'une impulsion unique lorsque le commutateur « Front » passe de 0 à 1 (sans effet de 1 à 0) ; la largeur de l'impulsion est réglable sur chacune des 3 valeurs suivantes : 1 μ s, 1 ms et 1 s ; la sortie s'effectue en impulsion de 0-1 ou en impulsion de 1-0.
Etats logiques	4 états logiques affichés DCBA de valeur 0 ou 1 permet tant la formation d'un mot binaire de 0000 à 1111 soit de 0 à 16 en décimal (la sortie Front peut être éventuellement utilisée comme 5 ^e état).

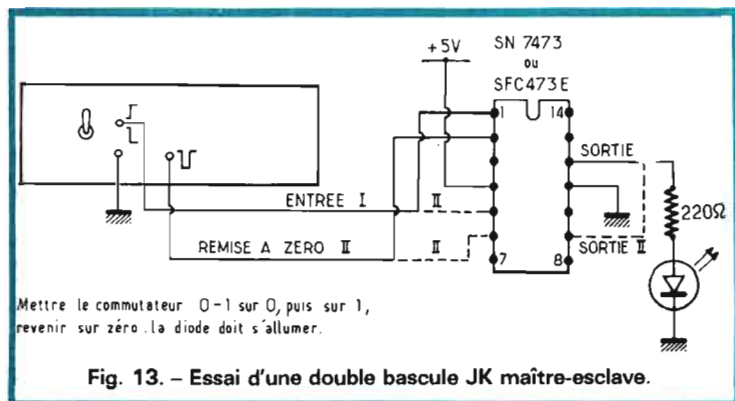


Fig. 13. — Essai d'une double bascule JK maître-esclave.

par le passage du commutateur de 0 à 1.

On ramène le commutateur sur 0 ce qui entraîne l'allumage permanent de la diode ($Q = 1$) jusqu'à ce que le commutateur soit de nouveau remis sur 1.

La bascule fera un nouveau cycle après une nouvelle commutation de 1 vers 0 (synchro par front arrière) et ainsi de suite.

ESSAI D'UNE DECADE (FIGURE 14)

On peut réaliser cet essai sur un circuit SFC 490. On attaque l'entrée du comptage par un signal à 50 Hz mis en forme ou par la manœuvre répétée du commutateur FRONT (schéma I). On observera alors un changement de niveau pour les états 0 à 2 (1) puis un retour à 0 logique (courbes n° 1, 2 ou 4, 5).

Si l'on dispose d'un oscilloscope à double trace, on observera les signaux correspondants (avec 50 Hz, on a bien un créneau 1 de 40 ms et un repos de 160 ms au zéro logique, ce qui donne bien une période de 200 ms, 10 fois plus importante que celle du 50 Hz).

Si l'on arrête le comptage à un instant quelconque et que l'on applique une impulsion de remise à 0, on se retrouvera à l'état n° 2, après le basculement 1-0.

Il est enfin possible d'attaquer le circuit par un transistor monté comme sur le schéma II, avec une source de 50 Hz branchée sur sa base (quelques volts). On observera alors le signal correspondant à la présentation n° 3 (le décalage est dû à l'inversion de phase données par le transistor-tampon).

ESSAI D'UNE MEMOIRE 4 BITS (FIGURE 15)

Ce circuit SFC 475E comporte 4 bascules dont l'état de sortie ne reflète l'état d'entrée qu'après application

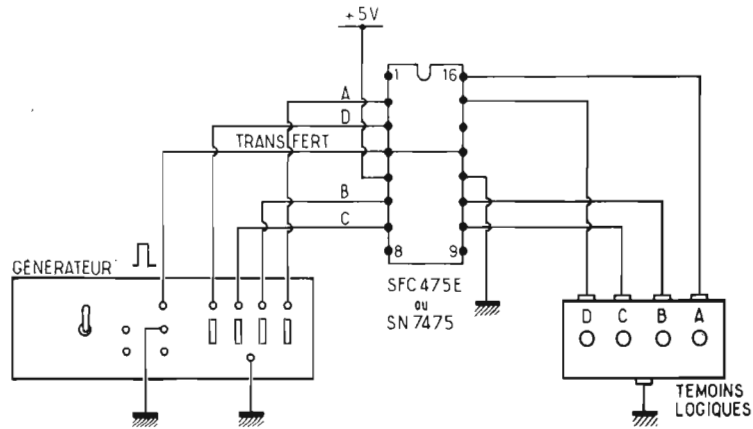


Fig. 15. - Essai d'une mémoire à 4 bits.

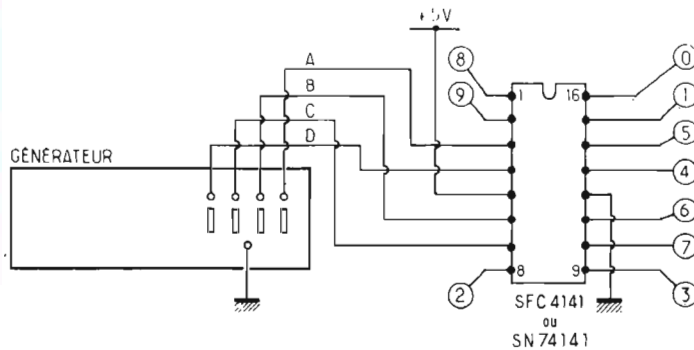
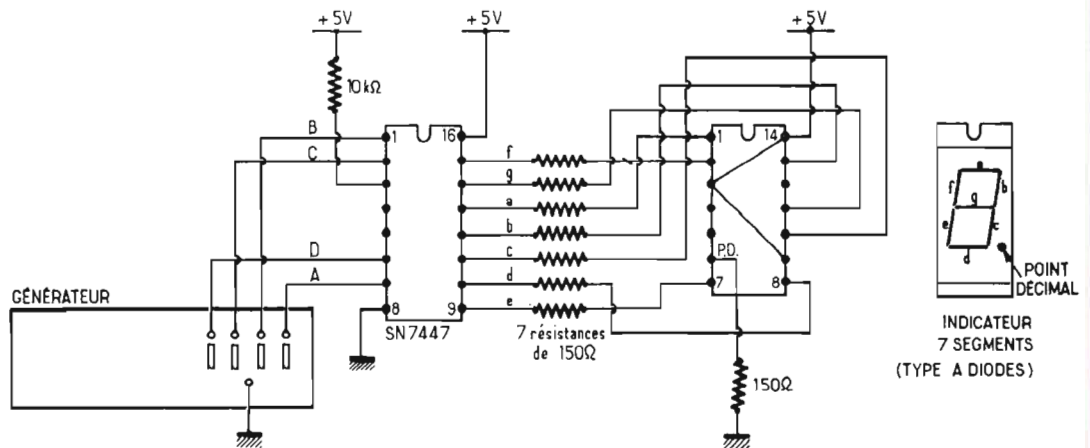
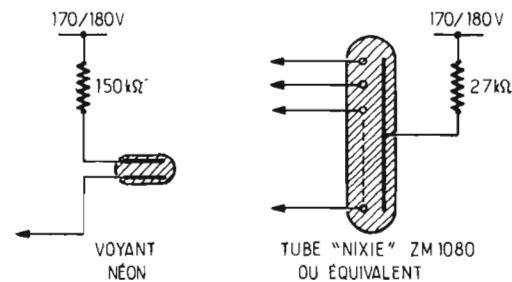
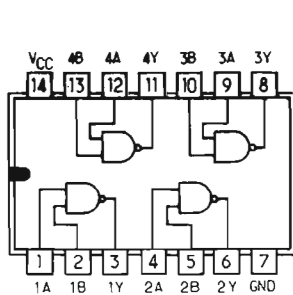


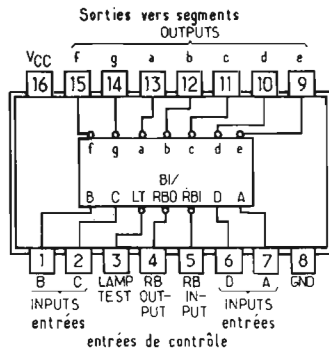
Fig. 16. - Essai de décodeurs/driver pour indicateurs numériques.

D	C	B	A	DEC.
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	0	0	0	8
1	0	0	1	9

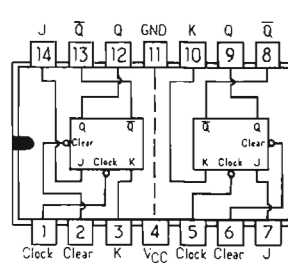




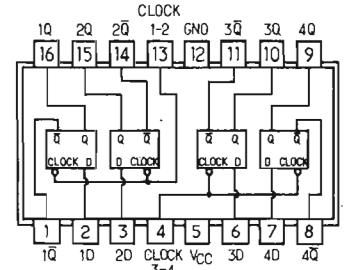
SN 7400
 QUADRUPLE PORTE "NAND" A
 DEUX ENTRÉES



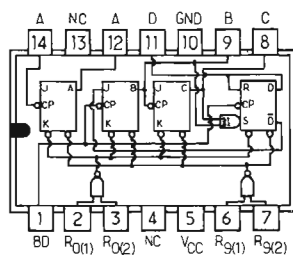
SN 7447
 DECODEUR/DRIVER POUR INDICATEUR
 7 SEGMENTS



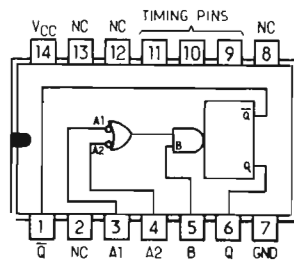
SN 7473
 DOUBLE BISTABLE JK MAITRE
 ESCLAVE



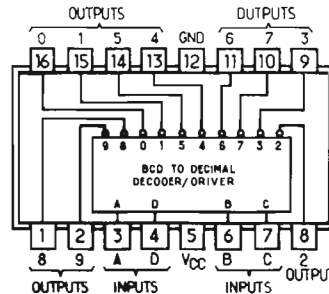
SN 7475 N
 MÉMOIRE A 4 BISTABLES



SN 7490
 DECADE (COMPTEUR)



SN 74121 N
 MONOSTABLE PROGRAMMABLE
 (C ENTRE 10 et 11, R ENTRE 9 et 14)



SN 74141 N
 DECODEUR/DRIVER POUR TUBE "NIXIE"

Fig. 17. - Quelques circuits
 intégrés digitaux parmi les
 plus utilisés - vues de dessus.
 (D'après docum. Texas Ins-
 truments).

d'une impulsion de transfert 0-1.

L'essai est extrêmement simple en utilisant le générateur d'états et la batterie de témoins logiques.

Les entrées ABCD et les sorties correspondantes sont branchées comme indiqué sur la figure. On utilisera le générateur d'impulsion unique qui formera l'impulsion de transfert (1 μ s) dès que le commutateur passera de 0 à 1. On fera l'essai avec toutes les entrées sur 1 puis sur 0.

**ESSAI DE
 DECODEURS/DRIVERS
 POUR INDICATEURS
 NUMÉRIQUES
 (FIGURE 16)**

La table de vérité montre dans quels états respectifs doivent être les quatre entrées ABCD pour opérer un affichage déterminé en digital.

Le circuit SFC 4141 est prévu pour un tube Nixie. On peut l'essayer en branchant un tel tube sur les sorties 0

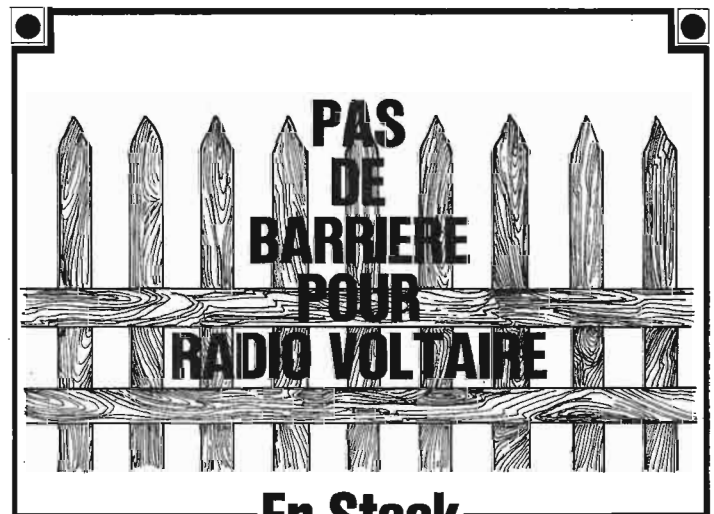
à 9 correspondantes, ou plus simplement, un témoin au néon successivement sur chaque sortie décodée.

Le circuit SN7447 (Texas) alimente un indicateur 7 segments à diodes électro-luminescentes. On entre sur ABCD de la même façon que précédemment. Le circuit est prévu pour mettre chacun des 7 segments à la masse (à travers 150 ou 180 Ω) suivant la matrice de décodage qui convient à la formation des chiffres décimaux.

Ainsi, comme on a pu le voir, les applications du générateur de signaux logiques sont nombreuses. Nous invitons les lecteurs intéressés à en étudier quelques autres (circuits OU, inverseurs, diviseurs binaires, décompteurs, registres, etc). D'autres cas peuvent être envisagés sur des ensembles ou sous-ensembles logiques divers (codeurs, multiplexeurs, etc.).

J.C.

(A suivre)



En Stock

**TEXAS INSTRUMENTS
 RTC COGECO
 INTERNATIONAL RECTIFIER
 GENERAL INSTRUMENT
 EUROPE
 A. JAHNICHEN & C^{ie}**

RADIO VOLTAIRE

Division Electronique Industrielle

150, 155, av. Ledru-Rollin - 75011 Paris
 Tél. 357.50.11 +